

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 2月24日

出 願 番 号

Application Number:

特願2003-045331

[ ST.10/C ]:

[ JP2003-045331 ]

出 願 人

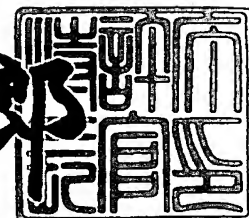
Applicant(s):

沖電気工業株式会社

2003年 6月20日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3048791

【書類名】 特許願

【整理番号】 MA001421

【提出日】 平成15年 2月24日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/786  
H01L 21/8238

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会  
社内

【氏名】 三浦 規之

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代表者】 篠塚 勝正

【代理人】

【識別番号】 100083840

【弁理士】

【氏名又は名称】 前田 実

【選任した代理人】

【識別番号】 100116964

【弁理士】

【氏名又は名称】 山形 洋一

【手数料の表示】

【予納台帳番号】 007205

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003703

【包括委任状番号】 0101807

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 S O I 膜中に N 型のボディ領域を有し、上記 S O I 膜上にゲート絶縁膜を介して P 型ゲート電極を有する N M O S F E T を備えた半導体装置の製造方法において、

上記ゲート電極上にカバー膜を形成する工程と、

上記ゲート電極上に形成された上記カバー膜をマスクとして上記 S O I 膜に N 型不純物を導入し、上記 S O I 膜にソースおよびドレインを形成する工程とを含む

ことを特徴とする半導体装置の製造方法。

【請求項 2】 上記カバー膜が、シリコン酸化膜であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 上記シリコン酸化膜が、N S G 膜であることを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 4】 上記シリコン酸化膜の膜厚は、上記ソースまたはドレインの拡散層接合深さと略同一であることを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 5】 ソースおよびドレインを形成する上記工程のあとに、上記シリコン酸化膜を除去する工程をさらに有することを特徴とする請求項 2 から 4 までのいずれかに記載の半導体装置の製造方法。

【請求項 6】 上記シリコン酸化膜を除去したあと、上記ゲート電極上にシリサイド膜を形成する工程をさらに有することを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】 上記シリサイド膜は、コバルトシリサイド膜であることを特徴とする請求項 6 記載の半導体装置の製造方法。

【請求項 8】 上記カバー膜は、導電性を有する膜であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 9】 上記カバー膜は、タングステンシリサイド膜であることを特

徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 1 0】 上記ソースおよびドレインを形成したあとの上記ゲート電極の P 型不純物濃度が、約  $1 \times 10^{20}$  [ $\text{cm}^{-3}$ ] 以上であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 1 1】 上記ゲート電極の厚さが、約 100 ~ 200 [nm] の範囲内であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 1 2】 上記ゲート電極の厚さが、約 150 [nm] であることを特徴とする請求項 1 1 記載の半導体装置の製造方法。

【請求項 1 3】 上記ゲート電極下のボディ領域の N 型不純物濃度が、約  $1 \times 10^{17}$  ~  $1 \times 10^{18}$  [ $\text{cm}^{-3}$ ] の範囲内であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 1 4】 上記ゲート電極下のボディ領域の N 型不純物濃度が、約  $3 \times 10^{17}$  [ $\text{cm}^{-3}$ ] であることを特徴とする請求項 1 3 記載の半導体装置の製造方法。

【請求項 1 5】 上記ゲート絶縁膜の膜厚が、約 1 ~ 4 [nm] の範囲内であり、

上記 SOI 膜の膜厚が、約 10 ~ 40 [nm] の範囲内であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 1 6】 上記ゲート絶縁膜の膜厚が、約 2 [nm] であり、  
上記 SOI 膜の膜厚が、約 20 [nm] であることを特徴とする請求項 1 5 記載の半導体装置の製造方法。

【請求項 1 7】 上記ソースおよび上記ドレインの N 型不純物濃度が、約  $1 \times 10^{21}$  [ $\text{cm}^{-3}$ ] 以上であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 1 8】 上記 NMOSFET のゲート長が、約 0.1 ~ 0.25 [ $\mu\text{m}$ ] であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 1 9】 上記 NMOSFET のゲート長が、約 0.15 [ $\mu\text{m}$ ] であることを特徴とする請求項 1 8 記載の半導体装置の製造方法。

【請求項 2 0】 上記ゲート電極の P 型不純物が、ホウ素であり、

上記ソースおよびドレインのN型不純物が、リンまたは砒素であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項21】 請求項1記載の半導体装置の製造方法は、さらに、上記SOI膜と半導体基板とを貼り合わせてSOI複合基板を形成する工程と

上記SOI複合基板を形成したあと、上記SOI膜に上記N型のボディ領域を形成する工程と

を有する

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、SOI (Silicon On Insulator) 膜中にチャネル領域を有するMOSFET (金属-酸化物-半導体構造のNチャネル電界効果トランジスタ) を備えた半導体装置の製造方法に関し、特にNMOSFET (Nチャネル電界効果トランジスタ) を備えた半導体装置の製造方法に関する。

【0002】

【従来の技術】

従来のSOIMOSFETにおいては、素子の微細化に伴いゲート長が短くなるにつれて、いわゆる短チャネル効果 (SCE: short channel effect) により、ゲートしきい値電圧が低下するとともに、ゲート長の製造上のばらつきによるしきい値電圧の変動が大きくなるという問題があり、このようなSCE問題を改善するために、SOI膜厚を薄くすることが提案された (例えば非特許文献1参照)。

【0003】

しかしながら、SECを抑制するためのSOI層の薄膜化においては、オフリーク電流が大きくなるという問題があり、携帯用機器などに用いられるオフリーク電流が低い (例えば  $1 \times 10^{-11}$  [A/ $\mu$ m]) 以下でゲートしきい値電圧が約 0.4 [V]) のSOIMOSFETにおいては、SOI膜中のチャネル領域の

不純物濃度が約  $1 \times 10^{17} [\text{cm}^{-3}]$  を超えると、キャリア移動度 (NMOSFETでは電子の移動度) の低下が問題となり、このキャリア移動度の低下はMOSFETの駆動電流の低下につながる。なお、SOIMOSFETでは、トランジスタの駆動時にボディ領域が空乏化してチャネル領域となる。従来のNMOSFETでは、非駆動時のボディ領域はP型に形成され、ゲート電極はN型で形成される。

## 【0004】

そこで、このようなMOSFETの駆動電流の低下を改善するために、NMOSFETのゲート電極を $P^+$ 型ポリシリコンで形成するとともに、SOI膜中にN型のボディ領域を形成し、チャネル領域にN型不純物濃度を下げることが提案された (例えば特許文献1参照)。

## 【0005】

## 【特許文献1】

特願2002-309164号

## 【非特許文献1】

アイ・イー・ディー・エム論文集第93号第723乃至726頁; リサ・テイー・スー他、「0.2  $\mu$ 未満のSOIMOSFETにおける直列抵抗の最適化」(Proc. IEDM 93, pp. 723 - 726; Lisa T. Su, et al. "Optimization of Series Resistance in Sub-0.2  $\mu$ m SOI MOSFETs")

## 【0006】

## 【発明が解決しようとする課題】

しかしながら、ゲート電極を $P^+$ 型ポリシリコンで形成する上記従来のMOSFETでは、SOI膜中にN型不純物をイオン注入して、ソースおよびドレインを形成するときに、N型不純物がゲート電極の $P^+$ 型ポリシリコンにも導入されてしまうので、ゲート電極のP型不純物濃度が低下して、約  $1 \times 10^{20} [\text{cm}^{-3}]$  よりも低くなると、ゲート電極がメタルライクなゲート電極 ( $P^+$ 型ゲート電極) として働かなくなるという問題があった。

## 【0007】

本発明はこのような従来の課題を解決するためのなされたものであり、NMO

S F E T の P 型ゲート電極の P 型不純物濃度を高濃度に保って確実に P<sup>+</sup> 型ゲート電極（メタルライクなゲート電極）として機能できるようにすることを目的とするものである。

【0008】

【課題を解決するための手段】

本発明の半導体装置の製造方法は、

S O I 膜中に N 型のチャネル領域を有し、上記 S O I 膜上にゲート絶縁膜を介して P 型のポリシリコンからなるゲート電極を有する N M O S F E T を備えた半導体装置の製造方法において、

上記ゲート電極上にカバー膜を形成する工程と、

上記カバー膜を形成した上記ゲート電極をセルフアラインのマスクとして上記 S O I 膜に N 型不純物を導入し、ソースおよびドレインを形成する工程とを含む

ことを特徴とするものである。

【0009】

【発明の実施の形態】

実施の形態 1

図 1 は本発明の実施の形態 1 の半導体装置の製造工程を説明する図である。この図 1 において、(a) ~ (e) のそれぞれは、この実施の形態 1 の半導体装置における S O I N M O S F E T の断面構造図である。

【0010】

まず、図 1 (a) において、シリコン基板 101 上に BOX 膜 102 を形成し、その上に S O I 層を形成した S O I 複合基板を用意する。シリコン基板 101 は、例えば P 型シリコン基板であり、BOX 膜 102 は、例えば酸化膜である。また、上記 S O I 層は、他の S O I 層から素子分離されたシリコン層である。

【0011】

次に、図 1 (a) において、上記 S O I 層に N 型不純物をイオン注入して、N M O S F E T のゲートしきい値を調整するとともに、N M O S F E T のボディ領域となる N 型領域を形成する。この N 型不純物は、上記 S O I 層の全体（ボディ



領域ならびにソースおよびドレインとなる領域)に導入される。このN型不純物の導入においては、例えば、上記SOI層のN型不純物濃度が約 $1 \times 10^{17} \sim 1 \times 10^{18} [\text{cm}^{-3}]$ の範囲内になるように、砒素(As)を注入する。さらに具体的には、例えば、上記SOI層のN型不純物濃度が約 $3 \times 10^{17} [\text{cm}^{-3}]$ になるように、Asを注入する。

#### 【0012】

次に、図1(a)において、SOI層103aの表面を酸化して、SOI層103aの表面にゲート絶縁膜108を形成する。このゲート絶縁膜108は、例えば酸化膜である。上記SOI層において、酸化されなかった部分はSOI膜103となる。SOI膜103の膜厚は、例えば約 $10 \sim 40 [\text{nm}]$ の範囲内であり、ゲート絶縁膜108aの膜厚は、例えば約 $1 \sim 4 [\text{nm}]$ の範囲内である。さらに具体的には、SOI膜103の膜厚は、例えば約 $20 [\text{nm}]$ であり、ゲート絶縁膜108aの膜厚は、例えば約 $2 [\text{nm}]$ である。なお、上記N型不純物のイオン注入の前に絶縁膜108を形成することも可能である。

#### 【0013】

##### 〔ポリシリコン堆積〕

次に、図1(a)において、ノンドープのポリシリコン層107aを堆積させる。このポリシリコン層107aは、 $P^+$ 型ゲート電極となるものであり、例えばCVD法によって形成される。ポリシリコン層107aの厚さは、例えば約 $100 \sim 200 [\text{nm}]$ の範囲内である。さらに具体的には、ポリシリコン層107aの厚さは、例えば約 $150 [\text{nm}]$ である。

#### 【0014】

##### 〔ゲートイオン注入〕

次に、図1(a)において、ポリシリコン層107aにP型不純物をイオン注入する。上記P型不純物は、例えばホウ素(B)であり、例えば約 $10 [\text{keV}]$ のドーズエネルギーで約 $4 \times 10^{15} [\text{cm}^{-2}]$ のドーズ量を導入する。なお、上記P型不純物は、CVD法において、Bを含む化合物(例えばジボラン)を同時に反応させ、ポリシリコンの堆積と同時に導入することも可能である。以上で、図1(a)の構造ができ上がる。

## 【0015】

## [NSG堆積]

次に、図1 (b) において、ポリシリコン層107a上に、NSG (ノンドープの $\text{SiO}_2$  ガラス) 層109aを堆積させる。NSG層109aは、例えばCVD法によって形成される。NSG層109aの厚さは、例えば約20 [nm] である。以上で、図1 (b) の構造ができ上がる。

## 【0016】

## [ゲートエッチング]

次に、図1 (c) において、所望ゲート長のレジストパターンを用いて、NSG層109aおよびポリシリコン層107aをエッチングしてパターニングし、カバー膜となるNSG膜109およびゲート電極107を形成する。ゲート電極107 (ポリシリコン層107a) の厚さは、例えば約100~200 [nm] の範囲内である。さらに具体的には、ゲート電極107 (ポリシリコン層107a) の厚さは、例えば約150 [nm] である。

## 【0017】

## [ゲート活性化アニール]

次に、図1 (c) において、アニール処理をして、ゲート電極107に注入されているP型不純物を活性化し、ゲート電極107を $\text{P}^+$ 型にする。このゲート活性化アニールは、例えば、温度が約1000 [°C]、時間が約10 [sec] である。ゲート電極107のP型不純物濃度は、例えば約 $1 \times 10^{20}$  [/cm<sup>2</sup>] 以上である。ゲート電極107には、シリコン基板101のP型不純物濃度よりも高い濃度のP型不純物が注入されており、ゲート電極107は $\text{P}^+$ 型ゲート電極 (メタルライクなゲート電極) となる。以上で、図1 (c) の構造ができ上がる。

## 【0018】

## [LDDイオン注入]

次に、図1 (d) において、NSG膜109を形成したゲート電極107をセルフアラインのマスクとしてSOI膜103にN型不純物をイオン注入して、LDD (Lightly Doped Drain) 構造を形成する。マスク領域において、N型不

純物は、主にNSG膜109に注入され、カバー膜としてNSG膜109の効果によってその下のゲート電極107にはほとんど注入されない。N型不純物は、例えば砒素 (As) であり、例えば約5 [keV] のドーズエネルギーで約  $1 \times 10^{15}$  [/cm<sup>2</sup>] のドーズ量をイオン注入する。なお、N型不純物として、リン (Phos) をイオン注入することも可能である。

## 【0019】

## [サイドウォール形成]

次に、図1 (d) において、LDD構造を形成するためサイドウォール110をゲート電極107の側面に形成する。このサイドウォール110は、例えば、シリコン酸化膜 (SiO<sub>2</sub>) またはシリコン窒化膜 (Si<sub>3</sub>N<sub>4</sub>) によって形成される。

## 【0020】

## [S/Dイオン注入]

次に、図1 (d) において、ゲート電極107およびサイドウォール110をセルフアラインのマスクとしてSOI膜103にN型不純物をイオン注入して、ソース104およびドレイン105、ならびにゲート電極107下のSOI膜に形成され、かつ、ソース104とドレイン105との間に形成されるボディ領域 (チャンネル領域) 106を形成する。上記マスク領域において、N型不純物は、主にNSG膜109およびサイドウォール110に注入され、カバー膜としてNSG膜109の効果によってその下のゲート電極107にはほとんど注入されない。N型不純物は、例えばリン (Phos) であり、例えば約6 [keV] のドーズエネルギーで約  $5 \times 10^{15}$  [/cm<sup>2</sup>] のドーズ量をイオン注入する。なお、N型不純物として、砒素 (As) をイオン注入することも可能である。

## 【0021】

## [S/D活性化アニール]

次に、図1 (d) において、アニール処理をして、ソース104およびドレイン105に注入されたN型不純物を活性化し、ソース104およびドレイン105をN型にする。このS/D活性化アニールは、例えば、温度が約975 [°C]、時間が約10 [sec] である。ソース104およびドレイン105のN型不

純物濃度は、例えば約  $1 \times 10^{21} [\text{cm}^{-2}]$  以上である。以上で、図1 (d) の構造ができ上がる。

#### 【0022】

また、チャネル領域の長さ（ゲート長）は、例えば約  $0.1 \sim 0.25 [\mu\text{m}]$  の範囲内である。さらに具体的には、ゲート長は、例えば約  $0.15 [\mu\text{m}]$  である。P<sup>+</sup>型ゲート電極およびN型ボディ領域の構造は、ゲート長が約  $0.1 \sim 0.25 [\mu\text{m}]$  の範囲内にあるSOI NMOSFETに適用したときに効果が著しい。

#### 【0023】

##### 〔NSG膜除去〕

次に、図1 (e) において、NSG膜109を除去する。NSG膜109は、例えば、ホットリン酸をエッチャントとしたウエットエッチングによってエッチング除去される。これにより、図1 (e) の構造ができ上がる。

#### 【0024】

NSG膜109は、形成時にはノンドープのシリコン酸化膜であるが、上記S/Dイオン注入によってN型不純物が導入されるので、上記ウエットエッチング時にはN型不純物がドーピングされたシリコン酸化膜（例えばPhosがドーピングされたPSG膜）になっている。一方、上記のウエットエッチングでは、PSG膜などの不純物がドーピングされたシリコン酸化膜のほうが、ノンドープのNSG膜よりもエッチングレートが高い。このため、S/Dイオン注入によってNSG膜109にN型不純物が導入されることは、NSG膜109のウエットエッチング時のエッチングレートを大きくできるという効果がある。なお、NSG層109の形成時に、N型不純物をあらかじめ導入することも可能である。

#### 【0025】

また、NSG膜109の膜厚は、LDDイオン注入およびソース/ドレインを形成するN型不純物のインプラ工程における加速電圧によって異なるが、カバー膜としての機能を果たし、かつエッチング除去が容易である範囲に設定されることが望ましい。薄過ぎると、カバー膜としての機能を果たさなくなり、逆に厚過ぎると、特にシリコン窒化膜 ( $\text{Si}_3\text{N}_4$ ) で形成されたサイドウォール110

においてのウェットエッチングによる除去が困難になる。例えば、本実施の形態のようなSOI膜103の膜厚が約20[nm]程度の完全空乏型の薄膜SOIトランジスタにて、NSG膜109をカバー膜として用いる場合、SOI膜103のシリコン(Si)中とカバー膜109を構成するシリコン酸化膜( $\text{SiO}_2$ )中でのイオン注入の飛程距離がほぼ同一であることから、SOI膜表面からのソースまたはドレインの拡散層接合深さ( $X_i$ )と略同一、すなわち、SOI膜の膜厚と等しい約20[nm]程度の膜厚を有するNSG膜をカバー膜とすることが望ましい。

## 【0026】

LDDイオン注入およびS/Dイオン注入において、ゲート電極107はNSG膜109にカバーされており、このNSG膜109によってN型不純物はゲート電極107にはほとんど注入されないので、ゲート電極107のP型不純物濃度を高濃度に保つことができ、ゲート電極107は、図1(e)の構造ができ上がったあとにおいても、 $P^+$ 型ゲート電極(メタルライクなP型ゲート電極)のままである。

## 【0027】

## [シリサイド形成]

図1(e)の構造ができ上がったあと、シート抵抗の低減のために、ソース104上およびドレイン105上ならびにゲート電極107上にシリサイド膜を形成する。本実施の形態における上記シリサイド膜は、S/Dイオン注入およびその後実施されるS/D活性化の熱処理のあと、例えば、ゲート電極、ソース、およびドレインのシリコン表面のシリコン(Si)とコバルト(Co)を反応させることにより形成される、コバルトシリサイド( $\text{CoSi}_2$ )膜である。これにより、「シリサイドゲート構造」と呼ばれる構造が得られる。このように、ゲート電極107上にポリシリコンよりも低抵抗なコバルトシリサイド膜を形成することにより、ゲートコンタクト抵抗を低くすることができ、信頼性の高いMOSFETを実現できる。なお、チタンシリサイド( $\text{TiSi}_2$ )膜、ニッケルシリサイド( $\text{NiSi}$ )膜などを使用することも可能である。

## 【0028】

さらにそのあと、層間絶縁膜を堆積させ、その層間絶縁膜にソース104およびドレイン105に達するコンタクトホールを形成し、そのコンタクトホールをコンタクトプラグを埋め込み、金属配線を形成する。以上により、実施の形態1のSOINMOSFETが完成する。

## 【0029】

図2は実施の形態1のSOINMOSFETにおける不純物濃度プロファイルを示す図であって、シミュレーションによって得られたものである。図2において、(a)はゲートイオン注入後であってゲート活性化アニール前の不純物濃度プロファイル、(b)はゲート活性化アニール後であってLDDイオン注入後の不純物濃度プロファイル、(c)はS/Dイオン注入後であってS/D活性化アニール前の不純物濃度プロファイル、(d)はS/Dイオン注入後の不純物濃度プロファイルである。

## 【0030】

また、図2において、103はSOI膜の領域、108はゲート絶縁膜の領域、107aはポリシリコン層（パターニング前のゲート電極）の領域、107はゲート電極の領域、109はNSG膜の領域である。また、縦軸の $1E20$ 等は、 $1 \times 10^{20}$ 等を示す。

## 【0031】

また、図2において、I(B)は、上記ゲートイオン注入において、ドーズエネルギー10[k e V]、ドーズ量 $4 \times 10^{15}$  [/cm<sup>2</sup>]で注入されたホウ素(B)の濃度プロファイルである。また、Ia(B)は、上記Bの濃度プロファイルI(B)の内、温度1000[℃]、時間10[sec]の上記ゲート活性化アニールによって、電気的に活性化されたBの濃度プロファイルである。

## 【0032】

また、I(As)は、上記LDDイオン注入において、ドーズエネルギー5[k e V]、ドーズ量 $4 \times 10^{15}$  [/cm<sup>2</sup>]で注入された砒素(As)の濃度プロファイルである。

## 【0033】

また、I(Phos)は、上記S/Dイオン注入において、ドーズエネルギー

6 [keV]、ドーズ量 $5 \times 10^{15}$  [/cm<sup>2</sup>]で注入されたリン(Phos)の濃度プロファイルである。また、Ia(Phos)は、上記Phosの濃度プロファイルI(Phos)の内、温度1975 [°C]、時間10 [sec]の上記S/D活性化アニールによって、電氣的に活性化されたPhosの濃度プロファイルである。

## 【0034】

図2(c)のように、N型不純物(AsおよびPhos)は、主にNSG膜109に注入され、カバー膜としてのNSG膜109の効果によってゲート電極107にはほとんど注入されない。そして、図2(b)および図2(d)のように、S/Dイオン注入およびS/D活性化アニールのあとにおいても、ゲート電極107においてのBの濃度は、S/Dイオン注入およびS/D活性化アニールの前と同様に、約 $1 \times 10^{20}$  [/cm<sup>3</sup>]以上に保たれており、ゲート電極107は、P<sup>+</sup>ゲート電極(メタルライク)のままである。なお、図2(d)のように、Phosはゲート電極107に導入されるが、ゲート電極107において、Phosの濃度は、Bの濃度よりも2桁以上低いので、問題はない。

## 【0035】

以上のように実施の形態1によれば、ゲート電極107のP型不純物濃度を $1 \times 10^{20}$  [/cm<sup>3</sup>]の高濃度に保つことができ、ゲート電極107をP<sup>+</sup>型ゲート電極(メタルライクなP型ゲート電極)として機能させることができる。

## 【0036】

なお、上記の実施の形態1では、SOI複合基板を形成してから、SOI膜にN型不純物を注入しているが、SOI層をシリコン基板101に貼り合せしてSOI複合基板を形成する場合には、この貼り合せの前にSOI層にN型不純物を導入することも可能である。

## 【0037】

また、上記の実施の形態1のSOI複合基板に関しては、貼り合せ法によって形成したものの他に、シリコン基板101に酸素イオンを注入することでBOX膜およびSOI膜を形成するSIMOX法によって形成したものをを用いることも可能である。

## 【0038】

上記実施の形態1では、サイドウォール110をシリコン窒化膜、カバー膜をシリコン酸化膜にて形成した例を挙げて説明したが、本発明はこれらの組合せに限られるものではなく、サイドウォールをシリコン酸化膜、カバー膜をシリコン窒化膜として形成することも可能である。すなわち、本実施の形態では、S/Dイオン注入後のカバー膜除去工程において、サイドウォールとカバー膜との選択比が確保できる組合せであればよい。なお、カバー膜をシリコン窒化膜にて形成する場合は、シリコン窒化膜のイオン注入における飛程距離がシリコン膜における飛程距離の約70 [%] 程度であるため、カバー膜の膜厚は約14～15 [nm] とすることが望ましい。

## 【0039】

## 実施の形態2

上記実施の形態1では、 $P^+$ 型ゲート電極にN型不純物が導入されるのを防止するカバー膜として、NSG膜をP型ゲート電極上に生成したが、S/D活性化アニールのあとに、シート抵抗を低減するためのシリサイド膜をゲート電極上に形成するので、上記NSG膜の除去が必要となる。

## 【0040】

そこで、この実施の形態2では、上記カバー膜として、シリサイド膜を形成し、このシリサイド膜をシート抵抗低減のためのシリサイドとしてそのまま残すことによって、カバー膜の除去工程を省略可能とする。

## 【0041】

カバー膜およびシート抵抗低減層として機能する上記シリサイド膜には、例えば、ゲート電極を形成するポリシリコン層107a上に公知のスパッタ法にて形成されるタングステンシリサイド ( $WSi_x$ ) 膜等が用いられる。

これにより、 $WSi_x$  とポリシリコン (Poly-Si) との積層構造である、いわゆる「ポリサイドゲート構造」が得られる。

SOI膜103の膜厚が約20 [nm] 程度の薄膜SOIトランジスタに本実施の形態を採用する場合においては、タングステンシリサイド膜の膜厚を約80 [nm] 程度とすることが望ましい。



【0042】

また、上記シリサイド膜は、コバルトシリサイド膜ほどシート抵抗の低減効果には優れていないが、アニールなどの処理において、ポリシリコンのゲート電極中に侵入しにくいという特徴がある。

【0043】

以上のように実施の形態2によれば、上記実施の形態1と同様にゲート電極をP<sup>+</sup>型ゲート電極（メタルライクなP型ゲート電極）として機能させることができるとともに、カバー膜の除去が不要になる。

【0044】

【発明の効果】

以上説明したように本発明によれば、ゲート電極をP<sup>+</sup>型ゲート電極（メタルライクなP型ゲート電極）として機能させることができるという効果がある。

【図面の簡単な説明】

【図1】 本発明の実施の形態1の半導体装置の製造工程を説明する図である。

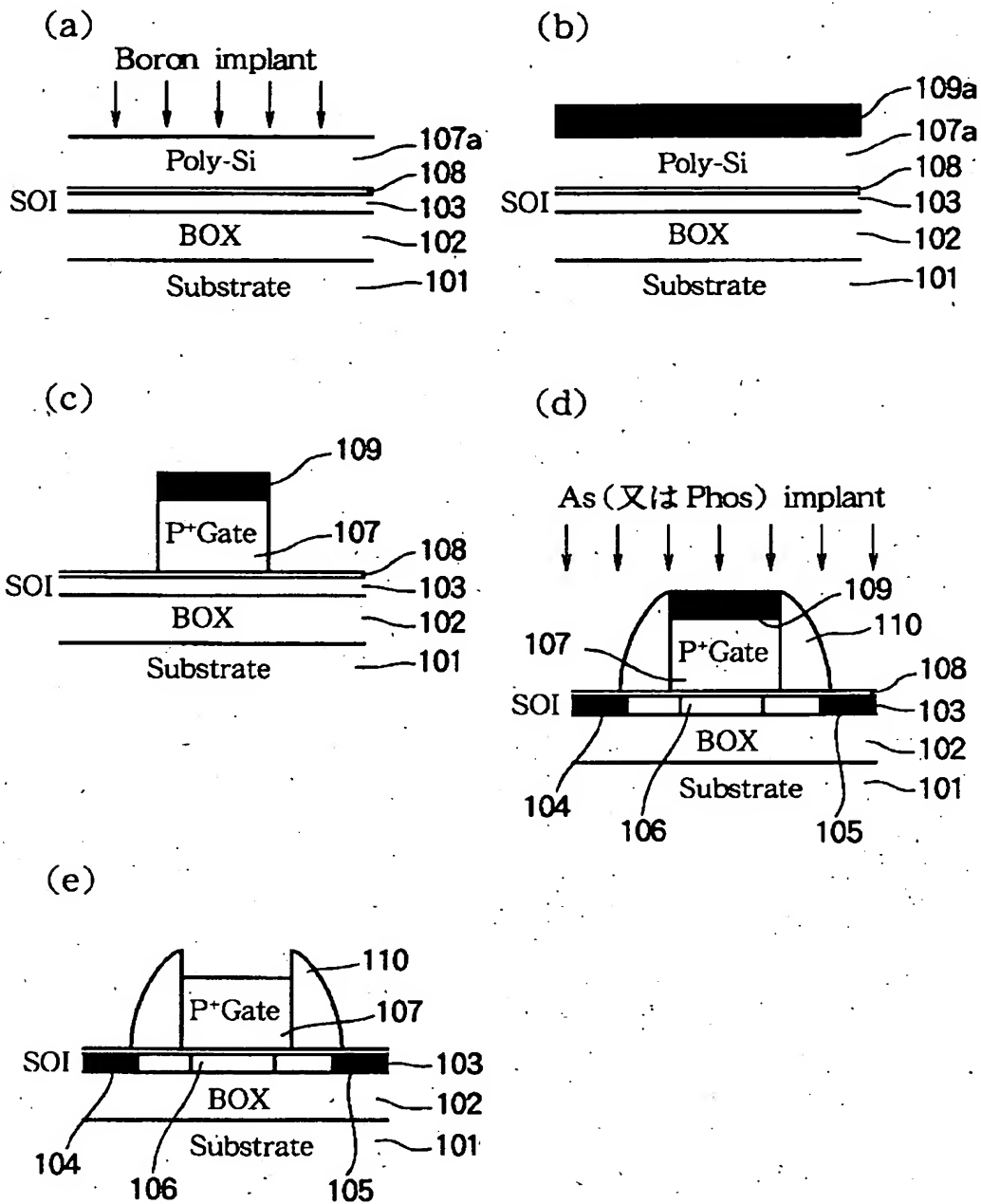
【図2】 本発明の実施の形態1のSOI NMOSFETにおける不純物濃度プロファイルを示す図である。

【符号の説明】

101 シリコン基板、 102 BOX膜、 103 SOI膜、 104 ソース、 105 ドレイン、 106 ボディ領域、 107a ポリシリコン層、 107 ゲート電極、 108 ゲート絶縁膜、 109a NSG層、 109 NSG膜。

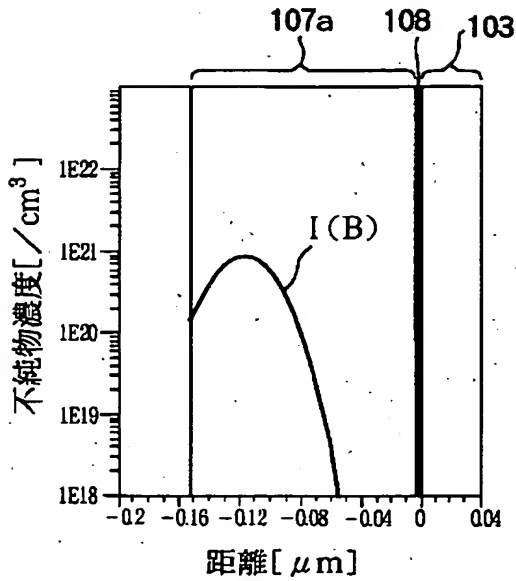
【書類名】 図面

【図 1】

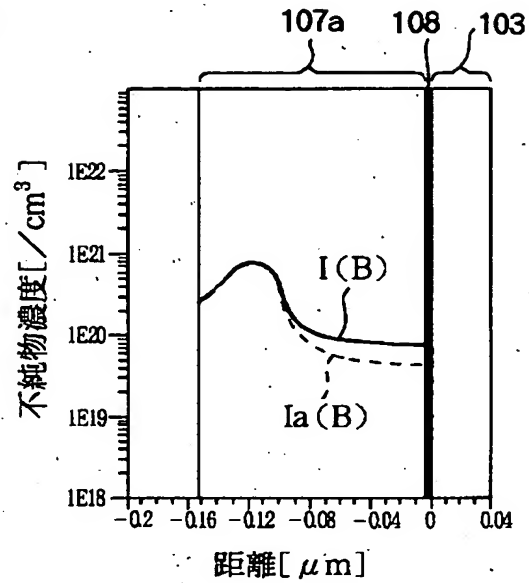


【図 2】

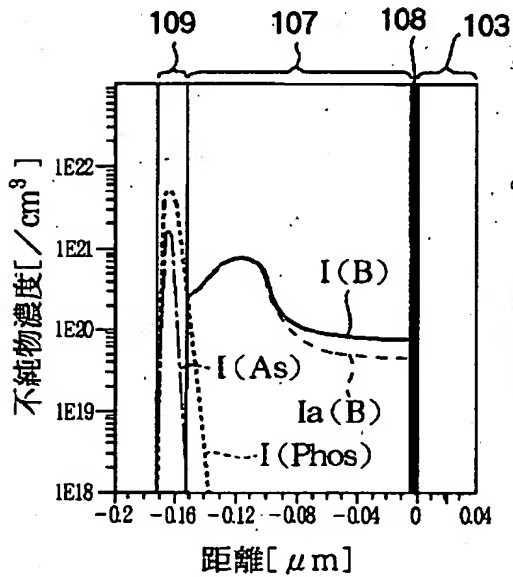
(a) ゲートインプラ後



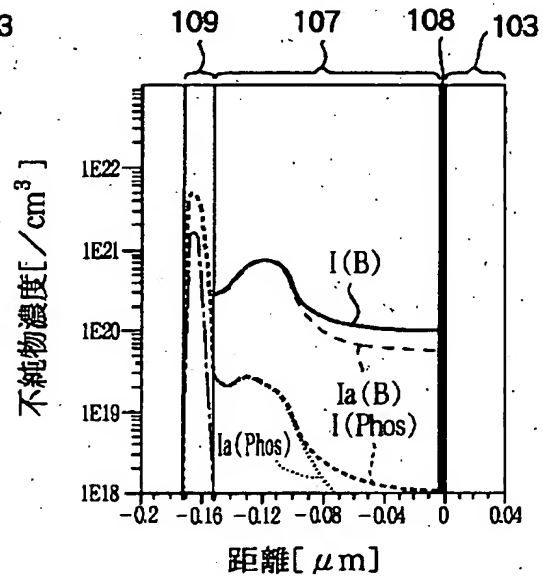
(b) ゲートアニール後



(c) S/D インプラ後



(d) S/D 活性化アニール後



【書類名】 要約書

【要約】

【課題】 NMOSFETのP型ゲート電極のP型不純物濃度を高濃度に保って確実にP<sup>+</sup>型ゲート電極（メタルライクなゲート電極）として機能できるようにする。

【解決手段】 SOI膜103中にN型のボディ領域106を有し、上記SOI膜上にゲート絶縁膜108を介してP<sup>+</sup>型ゲート電極107を有するNMOSFETを備えた半導体装置の製造方法において、ゲート電極107上にカバー膜となるNSG膜109を形成する工程と、NSG膜109を形成したゲート電極107をセルフアラインのマスクとしてSOI膜103にN型不純物を導入し、ソース104およびドレイン105を形成する工程とを含み、N型不純物がゲート電極107に導入されるのをNSG膜109によって防止する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日  
[変更理由] 新規登録  
住 所 東京都港区虎ノ門1丁目7番12号  
氏 名 沖電気工業株式会社